



## 【特許請求の範囲】

【請求項1】 内部電源電圧の変化を補う電圧補助回路であって、

前記内部電源電圧の微分成分を検出する検出手段と、  
前記内部電源電圧の微分成分と基準電位とを比較する比較手段と、  
前記比較結果に応答して、前記内部電源電圧の電位を補う補助手段とを備える、電圧補助回路。

【請求項2】 前記比較手段は、

第1の入力ノードと第2の入力ノードとを有し、前記第1の入力ノードの電圧と前記第2の入力ノードの電圧とを比較するコンパレータを含み、

前記第2の入力ノードは、前記基準電位を受け、

前記補助手段は、

前記内部電源電圧を受ける電源ノードと、

前記コンパレータの出力に応答して、前記電源ノードを充放電する第1の充放電手段とを含み、

前記検出手段は、

前記電源ノードと前記第1の入力ノードとの間に接続されるコンデンサと、

前記第1の入力ノードの電圧に応答して、前記第1の入力ノードを充放電する第2の充放電手段とを含む、請求項1記載の電圧補助回路。

【請求項3】 電源電位を降下させた内部電源電圧を発生する電圧降下手段と、

前記内部電源電圧の微分成分と基準電位とを比較して、  
前記比較結果に応答して、前記内部電源電圧の電位を補う電圧補助手段とを備える、半導体集積回路装置。

【請求項4】 前記電圧補助手段は、

前記内部電源電圧の微分成分を検出する検出手段と、  
前記内部電源電圧の微分成分と基準電位とを比較する比較手段と、

前記比較結果に応答して、前記内部電源電圧の電位を補う補助手段とを備える、請求項3記載の半導体集積回路装置。

【請求項5】 前記比較手段は、

第1の入力ノードと第2の入力ノードとを有し、前記第1の入力ノードの電圧と前記第2の入力ノードの電圧とを比較するコンパレータを含み、

前記第2の入力ノードは、前記基準電位を受け、

前記補助手段は、

前記内部電源電圧を受ける電源ノードと、

前記コンパレータの出力に応答して、前記電源ノードを充放電する第1の充放電手段とを含み、

前記検出手段は、

前記電源ノードと前記第1の入力ノードとの間に接続されるコンデンサと、

前記第1の入力ノードの電圧に応答して、前記第1の入力ノードを充放電する第2の充放電手段とを含む、請求項4記載の半導体集積回路装置。

【請求項6】 前記電圧補助手段は、

正入力ノードと負入力ノードとを有し、前記正入力ノードの電圧と前記負入力ノードの電圧とを比較するコンパレータと、

前記内部電源電圧を受ける電源ノードと、

前記コンパレータの出力に応答して、前記電源ノードを充電する第1の充電手段と、

前記電源ノードと前記正入力ノードとの間に接続されるコンデンサと、

前記正入力ノードの電圧に応答して、前記正入力ノードを充電する第2の充電手段とを含み、

前記負入力ノードは、前記基準電位を受ける、請求項3記載の半導体集積回路装置。

【請求項7】 前記第2の充電手段は、電源電圧と前記正入力ノードとの間に配置され、ゲート電極が前記正入力ノードと接続されるトランジスタを含む、請求項6記載の半導体集積回路装置。

【請求項8】 前記第2の充電手段は、電源電圧と前記正入力ノードとの間に配置されるダイオードを含む、請求項6記載の半導体集積回路装置。

【請求項9】 前記電圧補助手段は、

正入力ノードと負入力ノードとを有し、前記正入力ノードの電圧と前記負入力ノードの電圧とを比較するコンパレータと、

前記内部電源電圧を受ける電源ノードと、

前記コンパレータの出力に応答して、前記電源ノードを放電する第1の放電手段と、

前記電源ノードと前記正入力ノードとの間に接続されるコンデンサと、

前記正入力ノードの電圧に応答して、前記正入力ノードを放電する第2の放電手段とを含み、

前記負入力ノードは、前記基準電位を受ける、請求項3記載の半導体集積回路装置。

【請求項10】 前記第2の放電手段は、接地電位と前記正入力ノードとの間に配置され、ゲート電極が前記正入力ノードと接続されるトランジスタを含む、請求項9記載の半導体集積回路装置。

【請求項11】 前記第2の放電手段は、接地電位と前記正入力ノードとの間に配置されるダイオードを含む、請求項9記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電圧補助回路および半導体集積回路装置に関し、特に内部電源電圧の急激な変化を補うことが可能な電圧補助回路および当該回路を備える半導体集積回路装置に関するものである。

【0002】

【従来の技術】従来の半導体集積回路装置に備えられる内部降圧回路について、図5を用いて説明する。図5は、従来の半導体集積回路装置に備えられる内部降圧回

路900の全体構成を示す図である。

【0003】図5に示す従来の内部降圧回路900は、コンパレータ27およびPMOSTランジスタ29を含む。コンパレータ27の正入力、内部降圧回路900の出力ノードZ0から内部電源電圧 $V_{out}$ を受け、コンパレータ27の負入力、基準電位 $V_{in}$ を受ける。コンパレータ27は、基準電位 $V_{in}$ と内部電源電圧 $V_{out}$ とを比較する。

【0004】PMOSTランジスタ29は、電源電圧 $V_{dd}$ と出力ノードZ0との間に接続され、ゲート電極は、コンパレータ27と接続される。PMOSTランジスタ29は、コンパレータ27の出力（比較結果）に応じて、オン/オフする。PMOSTランジスタ29がオンすると、出力ノードZ0が充電される。これにより、出力ノードZ0の電圧 $V_{out}$ のレベルを調整する。

【0005】このように構成されることにより、従来の内部降圧回路900では、電源電圧と出力電圧との差が大きいほど、リップル除去率が向上する。

【0006】

【発明が解決しようとする課題】ところで、半導体集積回路装置においては、高集積化の要請を満たすため、さらに低電圧を用いて動作させる必要が生じており、従来の内部降圧回路の動作環境は厳しくなっている。

【0007】このため、急激な内部電源電圧 $V_{out}$ の変化に対して、内部電源電圧 $V_{out}$ を目的とする基準電位 $V_{in}$ に回復することができないという問題がある。

【0008】そこで、本発明はかかる問題を解決するためになされたものであり、その目的は、急激な内部電源電圧の変化を補うことが可能な電圧補助回路を提供することにある。

【0009】また、本発明の目的は、急激な内部電源電圧の変化を補うことにより、高速動作が可能な半導体集積回路装置を提供することにある。

【0010】

【課題を解決するための手段】請求項1に係る電圧補助回路は、内部電源電圧の変化を補う電圧補助回路であって、内部電源電圧の微分成分を検出する検出手段と、内部電源電圧の微分成分と基準電位とを比較する比較手段と、比較結果に応じて、内部電源電圧の電位を補う補助手段とを備える。

【0011】請求項2に係る電圧補助回路は、請求項1に係る電圧補助回路であって、比較手段は、第1の入力ノードと第2の入力ノードとを有し、第1の入力ノードの電圧と第2の入力ノードの電圧とを比較するコンパレータを含み、第2の入力ノードは、基準電位を受け、補助手段は、内部電源電圧を受ける電源ノードと、コンパレータの出力に応じて、電源ノードを充電する第1の充放電手段とを含み、検出手段は、電源ノードと第1

の入力ノードとの間に接続されるコンデンサと、第1の入力ノードの電圧に応じて、第1の入力ノードを充電する第2の充放電手段とを含む。

【0012】請求項3に係る半導体集積回路装置は、電源電位を低下させた内部電源電圧を発生する電圧降圧手段と、内部電源電圧の微分成分と基準電位とを比較して、比較結果に応じて、内部電源電圧の電位を補う電圧補助手段とを備える。

【0013】請求項4に係る半導体集積回路装置は、請求項3に係る半導体集積回路装置であって、電圧補助手段は、内部電源電圧の微分成分を検出する検出手段と、内部電源電圧の微分成分と基準電位とを比較する比較手段と、比較結果に応じて、内部電源電圧の電位を補う補助手段とを備える。

【0014】請求項5に係る半導体集積回路装置は、請求項4に係る半導体集積回路装置であって、比較手段は、第1の入力ノードと第2の入力ノードとを有し、第1の入力ノードの電圧と第2の入力ノードの電圧とを比較するコンパレータを含み、第2の入力ノードは、基準電位を受け、補助手段は、内部電源電圧を受ける電源ノードと、コンパレータの出力に応じて、電源ノードを充電する第1の充放電手段とを含み、検出手段は、電源ノードと第1の入力ノードとの間に接続されるコンデンサと、第1の入力ノードの電圧に応じて、第1の入力ノードを充電する第2の充放電手段とを含む。

【0015】請求項6に係る半導体集積回路装置は、請求項3に係る半導体集積回路装置であって、電圧補助手段は、正入力ノードと負入力ノードとを有し、正入力ノードの電圧と負入力ノードの電圧とを比較するコンパレータと、内部電源電圧を受ける電源ノードと、コンパレータの出力に応じて、電源ノードを充電する第1の充電手段と、電源ノードと正入力ノードとの間に接続されるコンデンサと、正入力ノードの電圧に応じて、正入力ノードを充電する第2の充電手段とを含み、負入力ノードは、基準電位を受ける。

【0016】請求項7に係る半導体集積回路装置は、請求項6に係る半導体集積回路装置であって、第2の充電手段は、電源電圧と正入力ノードとの間に配置され、ゲート電極が正入力ノードと接続されるトランジスタを含む。

【0017】請求項8に係る半導体集積回路装置は、請求項6に係る半導体集積回路装置であって、第2の充電手段は、電源電圧と正入力ノードとの間に配置されるダイオードを含む。

【0018】請求項9に係る半導体集積回路装置は、請求項3に係る半導体集積回路装置であって、電圧補助手段は、正入力ノードと負入力ノードとを有し、正入力ノードの電圧と負入力ノードの電圧とを比較するコンパレータと、内部電源電圧を受ける電源ノードと、コンパレータの出力に応じて、電源ノードを放電する第1の放

電手段と、電源ノードと正入力ノードとの間に接続されるコンデンサと、正入力ノードの電圧にตอบสนองして、正入力ノードを放電する第2の放電手段とを含み、負入力ノードは、基準電位を受ける。

【0019】請求項10に係る半導体集積回路装置は、請求項9に係る半導体集積回路装置であって、第2の放電手段は、接地電位と正入力ノードとの間に配置され、ゲート電極が正入力ノードと接続されるトランジスタを含む。

【0020】請求項11に係る半導体集積回路装置は、請求項9に係る半導体集積回路装置であって、第2の放電手段は、接地電位と正入力ノードとの間に配置されるダイオードを含む。

【0021】

【発明の実施の形態】  
【実施の形態1】本発明の実施の形態1における電圧補助回路および半導体集積回路装置について説明する。本発明の実施の形態1は、内部電源電圧の急激な変化を補うことが可能な電圧補助回路、および当該回路を備える半導体集積回路装置に関するものである。

【0022】本発明の実施の形態1の半導体集積回路装置を構成する電圧補助回路について、図1を用いて説明する。図1は、本発明の実施の形態1における電圧補助回路の構成の一例を示す図である。図1に示す電圧補助回路100は、出力ノードZ0における内部電源電圧Voutの急激な電圧降下を補うための回路である。

【0023】電圧補助回路100は、定電流源1、PMOSTランジスタ3、4、および9、コンパレータ7、ならびにコンデンサ8を含む。

【0024】PMOSTランジスタ3は、電源電圧VddとノードZ1（コンパレータ7の負入力）との間に接続され、ゲート電極は、ノードZ1と接続される。定電流源1は、ノードZ1と接地電位Gndとの間に接続される。定電流源1およびPMOSTランジスタ3は、電源電圧Vddに対して一定電圧を発生させる。

【0025】PMOSTランジスタ4は、電源電圧VddとノードZ2（コンパレータ7の正入力）との間に接続され、ゲート電極は、ノードZ2と接続される。コンデンサ8は、ノードZ2と出力ノードZ0との間に接続される。コンデンサ8およびPMOSTランジスタ4は、分圧回路を構成する。PMOSTランジスタ4は、ノードZ2の電位にตอบสนองしてオン/オフする。

【0026】PMOSTランジスタ9は、電源電圧Vddと出力ノードZ0との間に接続される。PMOSTランジスタ9のゲート電極は、コンパレータ7の出力を受ける。コンパレータ7は、ノードZ1の電圧とノードZ2の電圧とを比較する。PMOSTランジスタ9は、コンパレータ7における比較結果にตอบสนองしてオン/オフする。

【0027】図1に示す構成を含む半導体集積回路装置について図2を用いて説明する。図2は、図1に示す電

圧補助回路100を含む半導体集積回路装置1000の主要部の構成を示す図である。

【0028】図2に示す半導体集積回路装置1000は、内部降圧回路900、電圧補助回路100、および内部回路500を備える。電圧補助回路100と内部降圧回路900とは、ノードZ0で接続される。内部降圧回路900が、内部電源電圧VoutをノードZ0に供給する。電圧補助回路100は、内部電源電圧Voutの急激な変化（降下）を補うように動作する。内部回路500は、ノードZ0の電圧を受けて動作する。

【0029】続いて、図1に示す電圧補助回路100の動作について説明する。定常状態では、コンパレータ7の正入力の方（ノードZ2）が、コンパレータ7の負入力の方（ノードZ1）よりも高電位になるように設定しておく。

【0030】内部電源電圧Voutが急激に低下したとする。この場合、ノードZ2の電位、すなわちコンパレータ7の正入力の電位が、コンデンサ8のカップリングにより低下する。この結果、コンパレータ7の出力は、Lレベルになる。

【0031】PMOSTランジスタ9は、コンパレータ7からLレベルの信号を受けてオンする。これにより、出力ノードZ0が充電される。

【0032】コンパレータ7の正入力の電位は、PMOSTランジスタ4を介して充電されるため、しだいに上昇する。これにより、コンパレータ7の正入力の電位は、コンパレータ7の出力がHレベルになるまで回復する。ここで、出力ノードZ0に対する充電が終了する。

【0033】このように、急激に内部電源電圧Voutが低下した場合、電圧補助回路100は、内部電源電圧Voutの微分成分のみにตอบสนองしてノードZ0を充電する。この結果、内部電源電圧Voutを、高速かつ確に、目的とする電圧レベルに回復させることが可能となる。

【0034】これにより、半導体集積回路装置1000に含まれる内部回路500は、内部電源電圧Voutの変動による影響を受けることなく、正確かつ高速な動作が可能となる。なお、図1に示すPMOSTランジスタをNMOSTランジスタに置換えることが可能であり、またはダイオードを用いることも可能である。

【0035】本発明の実施の形態1の電圧補助回路の他の構成例について、図3を用いて説明する。図3は、本発明の実施の形態1における電圧補助回路の他の構成の一例を示す図である。図3に示す電圧補助回路200は、出力ノードZ0における内部電源電圧Voutの急激な電圧上昇を補うための回路である。

【0036】電圧補助回路200は、定電流源2、NMOSTランジスタ5、6、および10、コンパレータ7、ならびにコンデンサ8を含む。

【0037】定電流源2は、電源電圧VddとノードZ

11' (コンパレータ7の負入力) との間に接続される。NMOSトランジスタ5は、ノードZ11と接地電位Gndとの間に接続され、ゲート電極は、ノードZ11と接続される。定電流源2およびNMOSトランジスタ5は、電源電圧Vddに対して一定電圧を発生させる。

【0038】 NMOSトランジスタ6は、接地電位GndとノードZ12 (コンパレータ7の正入力) との間に接続され、ゲート電極は、ノードZ12と接続される。コンデンサ8は、ノードZ12と出力ノードZ0との間に接続される。コンデンサ8およびNMOSトランジスタ6は、分圧回路を構成する。NMOSトランジスタ6は、ノードZ12の電位にตอบสนองしてオン/オフする。

【0039】 NMOSトランジスタ10は、接地電位Gndと出力ノードZ0との間に接続される。NMOSトランジスタ10のゲート電極は、コンパレータ7の出力を受ける。コンパレータ7は、ノードZ11の電圧とノードZ12の電圧とを比較する。NMOSトランジスタ10は、コンパレータ7における比較結果にตอบสนองしてオン/オフする。

【0040】 図3に示す構成を含む半導体集積回路装置について図4を用いて説明する。図4は、図3に示す内部降圧回路200を含む半導体集積回路装置2000の主要部の構成を示す図である。

【0041】 図4に示す半導体集積回路装置2000は、内部降圧回路900、電圧補助回路200、および内部回路500を備える。電圧補助回路200と内部降圧回路900とは、ノードZ0で接続される。内部降圧回路900が、内部電源電圧Voutを供給する。電圧補助回路200は、内部電源電圧Voutの急激な変化(上昇)を補うように動作する。内部回路500は、ノードZ0の電位にตอบสนองして動作する。

【0042】 続いて、図3に示す電圧補助回路200の動作について説明する。定常状態では、コンパレータ7の負入力の方(ノードZ11)が、コンパレータ7の正入力の方(ノードZ12)よりも高電位になるように設定しておく。

【0043】 内部電源電圧Voutが急激に上昇したとする。この場合、ノードZ12の電位、すなわちコンパレータ7の正入力の電位が、コンデンサ8のカップリングにより上昇する。この結果、コンパレータ7の出力は、Hレベルになる。

【0044】 NMOSトランジスタ10は、コンパレータ7からHレベルの信号を受けてオンする。これにより、出力ノードZ0が放電される。

【0045】 コンパレータ7の正入力の電位は、NMOSトランジスタ6を介して放電されるため、しだいに低下する。これにより、コンパレータ7の正入力の電位が、コンパレータ7の出力がLレベルになるまで回復する。ここで、出力ノードZ0に対する放電が終了する。

【0046】 このように、急激に内部電源電圧Vout

が上昇した場合、電圧補助回路200は、内部電源電圧Voutの微分成分のみにตอบสนองしてノードZ0を放電する。この結果、内部電源電圧Voutを、高速かつ的確に、目的とする電圧レベルに回復させることが可能となる。

【0047】 これにより、半導体集積回路装置2000に含まれる内部回路500は、内部電源電圧Voutの変動による影響を受けることなく、正確かつ高速な動作が可能となる。なお、図3に示すNMOSトランジスタをPMOSトランジスタに置換えることが可能であり、またはダイオードを用いることも可能である。

【0048】 なお、図1に示した電圧補助回路100および図3に示した電圧補助回路200のいずれにおいても、コンパレータ7の負入力側にのみ定電流源1、2が接続されている。しかしながら、図1および図3に示した電圧補助回路において、コンパレータ7の正入力側および負入力側の双方に定電流源を接続することも可能である。たとえば、図1に示す構成において、ノードZ1と接地電位Gndとの間に追加の定電流源を設けてもよく、図3に示す構成において、ノードZ12と電源電圧Vddとの間に追加の定電流源を設けてもよい。

【0049】 この場合、使用される定電流源は、必ずしも厳密な一定電流の供給源である必要はなく、正/負の入力側に接続される定電流源間で差が生じないようなものであればよい。

【0050】 さらに、上述の実施の形態において、電圧補助回路の非動作時に定電流源を不能化することにより、消費電流の低減を図ることができる。

【0051】 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0052】

【発明の効果】 このように、請求項1および請求項2に係る電圧補助回路によれば、内部電源電圧の微分成分のみにตอบสนองして、内部電源電圧の変動を補うことが可能となる。この結果、高速かつ的確に内部電源電圧を目的とするレベルに回復させることが可能となる。

【0053】 請求項3および請求項4に係る半導体集積回路装置は、電源電圧を降下させた内部電源電圧を発生する内部降圧回路に対して、内部電源電圧の微分成分のみにตอบสนองして、内部電源電圧の変動を補う電圧補助回路を設ける。この結果、高速かつ的確に内部電源電圧を目的とするレベルに回復させることが可能となる。これにより、内部回路は、内部電源電圧の変動による影響を受けることなく、正確かつ高速に動作することが可能となる。

【0054】 請求項5に係る半導体集積回路装置は、請

請求項４に係る半導体集積回路装置であって、電圧補助回路は、内部電源電圧の微分成分にのみ応答して、コンパレータの入力を変化させることが可能となる。この結果、高速かつ的確に内部電源電圧を充電／放電することが可能となる。

【００５５】請求項６に係る半導体集積回路装置は、請求項３に係る半導体集積回路装置であって、電圧補助回路は、コンデンサを備え、内部電源電圧の微分成分にのみ応答して、内部電源電圧を充電する。この結果、高速かつ的確に内部電源電圧を上昇させることが可能となる。

【００５６】請求項７および請求項８に係る半導体集積回路装置は、請求項６に係る半導体集積回路装置であって、充電回路として、トランジスタまたはダイオードを使用することが可能となる。

【００５７】請求項９に係る半導体集積回路装置は、請求項３に係る半導体集積回路装置であって、電圧補助回路は、コンデンサを備え、内部電源電圧の微分成分にのみ応答して、内部電源電圧を放電する。この結果、高速かつ的確に内部電源電圧を降下させることが可能となる。

【００５８】請求項１０および請求項１１に係る半導体集積回路装置は、請求項９に係る半導体集積回路装置であって、放電回路として、トランジスタまたはダイオードを使用することが可能となる。

#### 【図面の簡単な説明】

【図１】 本発明の実施の形態１における電圧補助回路の構成の一例を示す図である。

【図２】 図１に示す電圧補助回路１００を含む半導体集積回路装置１０００の主要部の構成を示す図である。

【図３】 本発明の実施の形態１における電圧補助回路の他の構成の一例を示す図である。

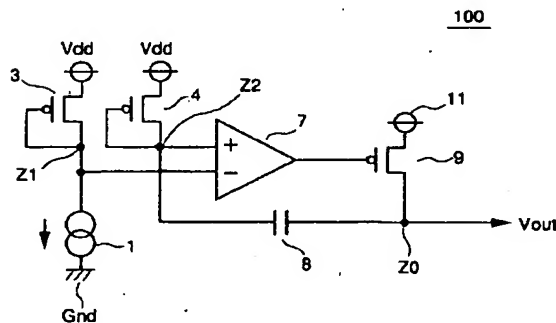
【図４】 図３に示す電圧補助回路２００を含む半導体集積回路装置２０００の主要部の構成を示す図である。

【図５】 従来の半導体集積回路装置における内部降圧回路９００の構成を示す図である。

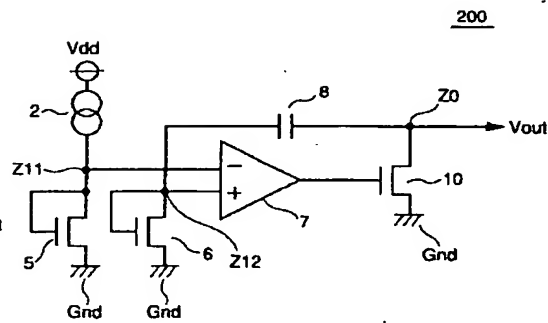
#### 【符号の説明】

１，２ 定電流源、３，４，９，２９ PMOSトランジスタ、５，６，１０ NMOSトランジスタ、７，２７ コンパレータ、８ コンデンサ、１００，２００ 電圧補助回路、９００ 内部降圧回路、５００ 内部回路、１０００，２０００ 半導体集積回路装置。

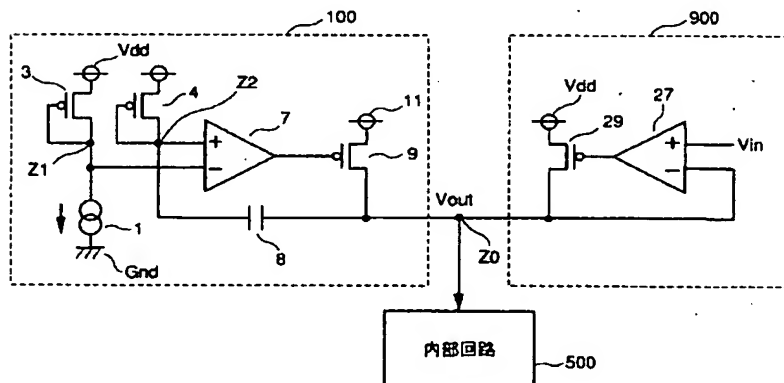
【図１】



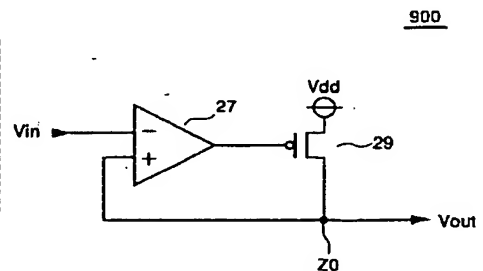
【図３】



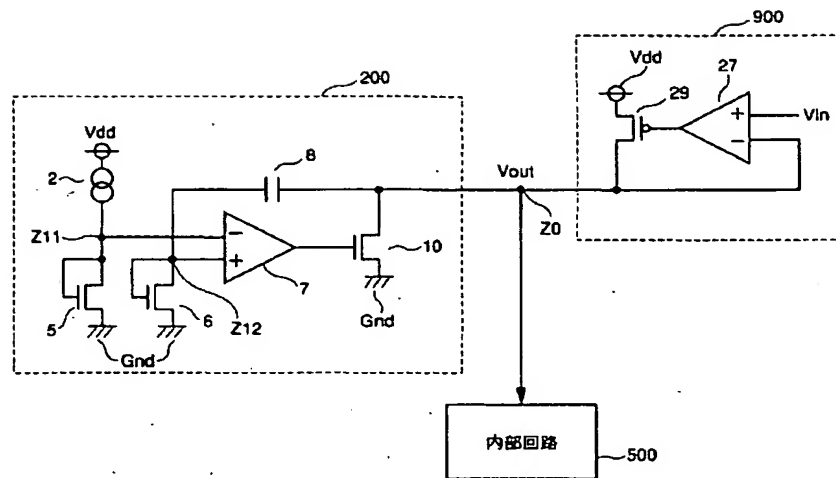
【図２】



【図５】



【図 4】



フロントページの続き

Fターム(参考) 5B015 AA02 AA07 BA54 CA03 CA04  
CA22  
5B024 AA03 AA15 BA27 CA07  
5H430 BB01 BB05 BB09 BB11 CC02  
EE06 EE18 FF03 FF13 GG04  
HH03 JJ01 JJ07 LB06





FIG. 1

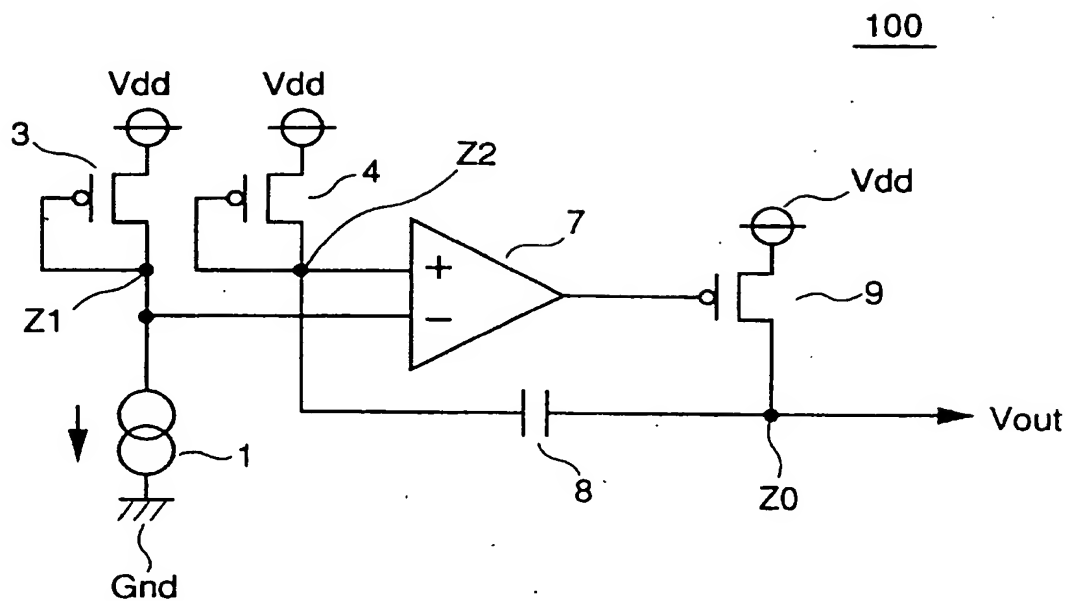


FIG. 3

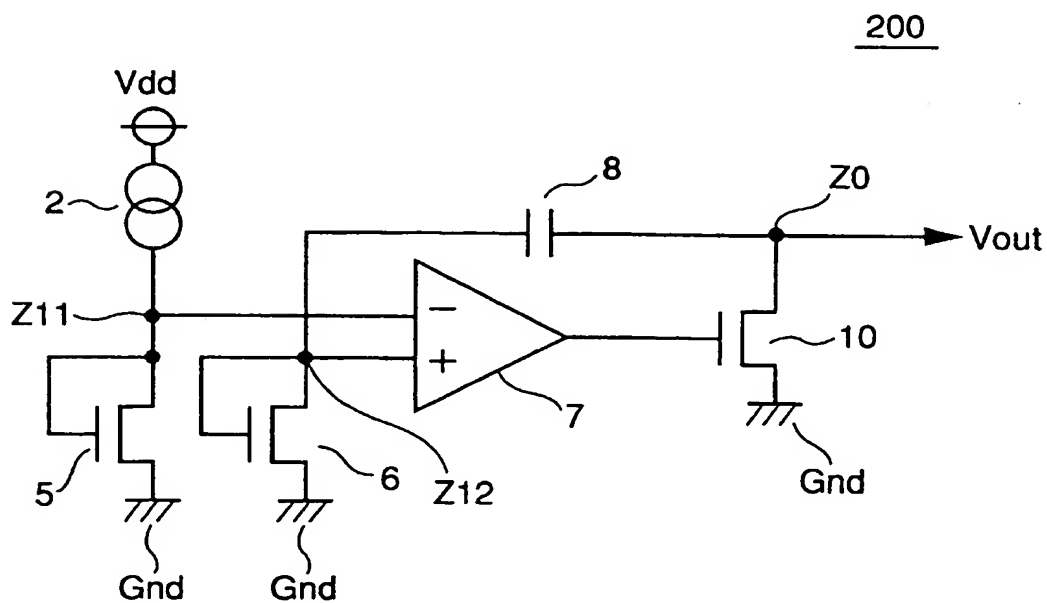


FIG. 2

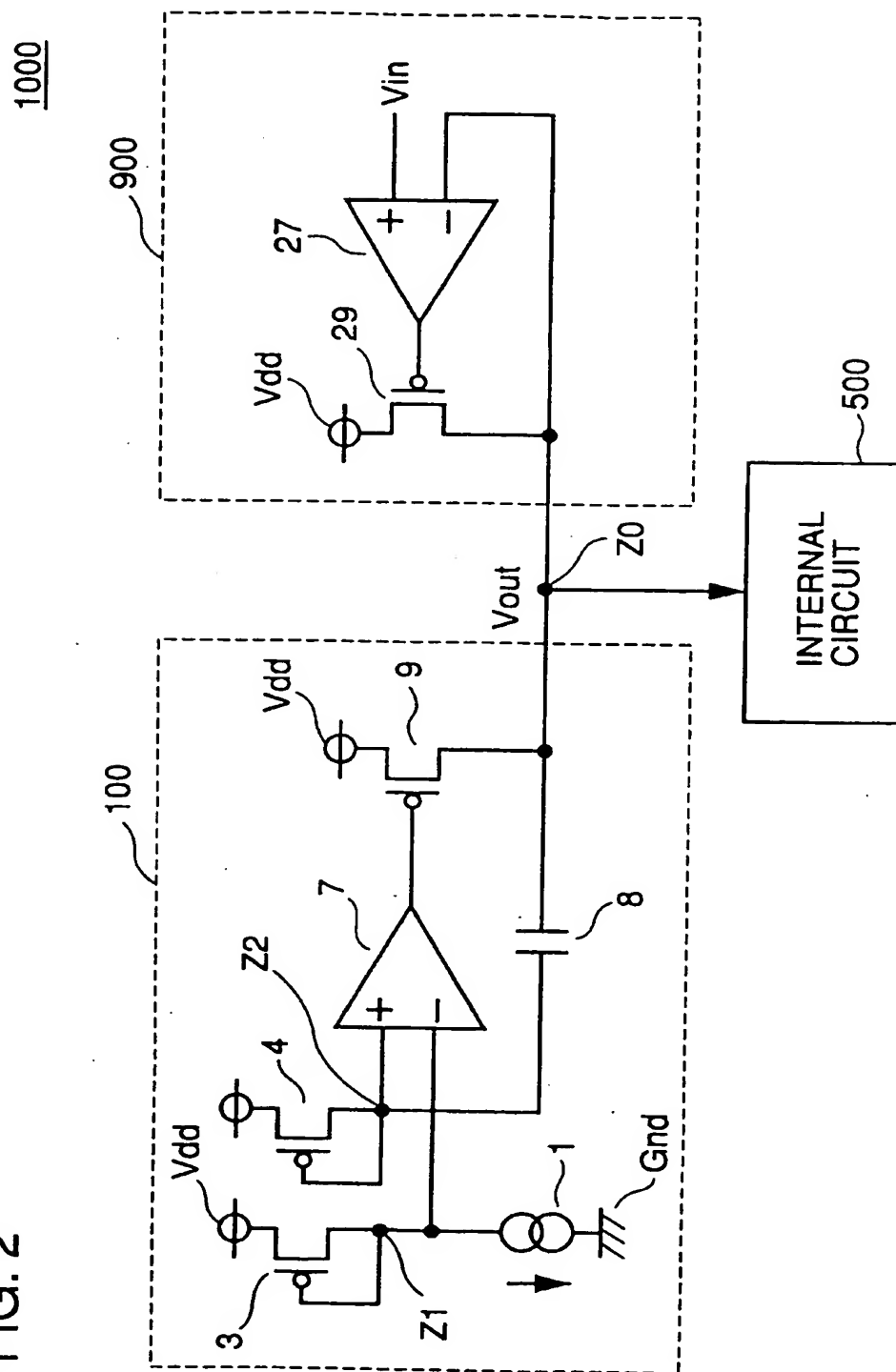


FIG. 4

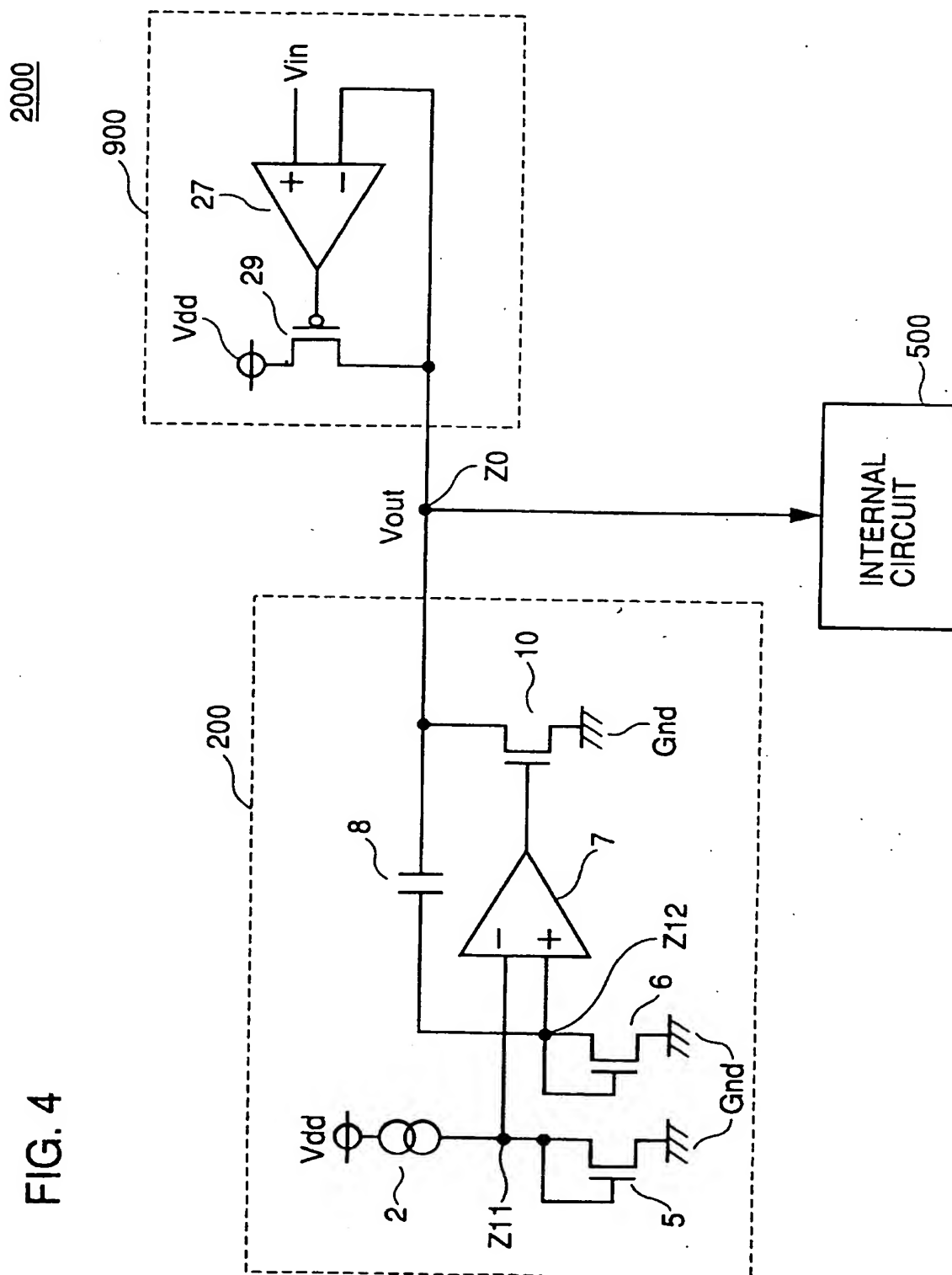
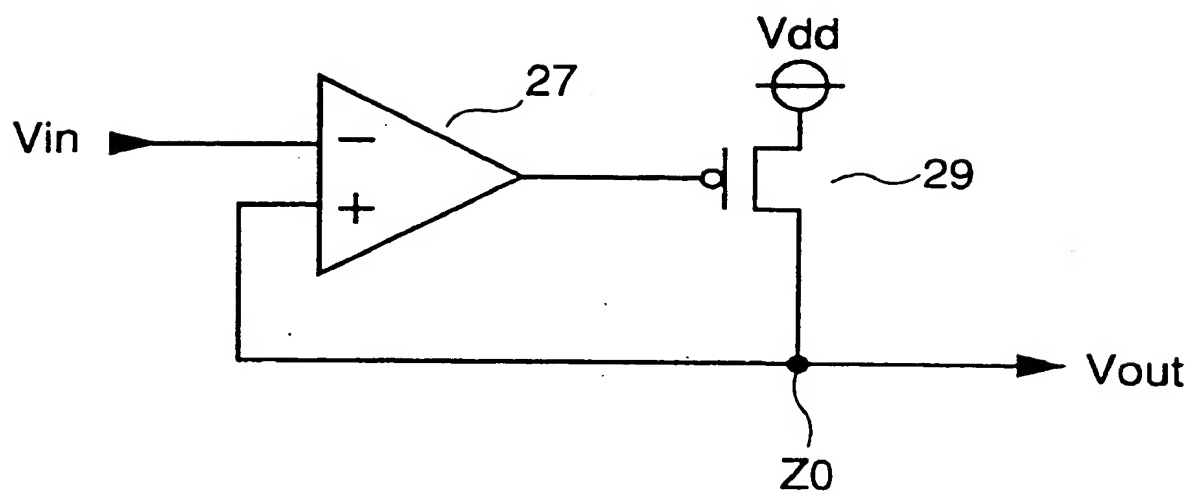


FIG. 5

PRIOR ART

900

1

# CIRCUIT COMPENSATING FOR CHANGE IN INTERNAL POWER SUPPLY VOLTAGE, AND SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE INCLUDING SUCH A CIRCUIT

## BACKGROUND OF THE INVENTION

### 1. Field of the Invention

The present invention relates to a voltage compensation circuit and a semiconductor integrated circuit device. More particularly, the present invention relates to a voltage compensation circuit that can compensate for an abrupt change in an internal power supply voltage, and a semiconductor integrated circuit device including such a circuit.

### 2. Description of the Background Art

A conventional internal voltage-down converter included in a semiconductor integrated circuit device will be described with reference to FIG. 5.

A conventional internal voltage-down converter 900 of FIG. 5 includes a comparator 27 and a PMOS transistor 29. Comparator 27 has a positive input receiving an internal power supply voltage  $V_{out}$  from an output node Z0 of internal voltage-down converter 900, and a negative input receiving a reference voltage  $V_{in}$ . Comparator 27 compares reference voltage  $V_{in}$  with internal power supply voltage  $V_{out}$ .

PMOS transistor 29 connected between power supply voltage  $V_{dd}$  and output node Z0 has a gate electrode connected to comparator 27. PMOS transistor 29 is turned on/off in response to the output (comparison result) of comparator 27. Output node Z0 is charged when PMOS transistor 29 is turned on. Accordingly, the level of voltage  $V_{out}$  of output node Z0 is adjusted.

In the conventional internal voltage-down converter 900 of the above structure, the ripple rejection is improved as the difference between the power supply voltage and the output voltage becomes greater.

The need arises for a semiconductor integrated circuit device to operate using a further lower voltage in order to satisfy the demands of higher integration density. The operating environment of a conventional voltage-down converter is getting more severe.

There was a problem that the level of internal power supply voltage  $V_{out}$  cannot be recovered to the level of the intended reference voltage  $V_{in}$  with respect to an abrupt change in internal power supply voltage  $V_{out}$ .

## SUMMARY OF THE INVENTION

In view of the foregoing, an object of the present invention is to provide a voltage compensation circuit that can compensate for an abrupt change in the internal power supply voltage.

Another object of the present invention is to provide a semiconductor integrated circuit device that can operate at high speed by compensating for an abrupt change in the internal power supply voltage.

According to an aspect of the present invention, a voltage compensation circuit of the present invention compensates for a change in the internal power supply voltage. The voltage compensation circuit includes a detection circuit detecting a differential component of the internal power supply voltage, a comparator circuit comparing the differential component of the internal power supply voltage with a reference voltage, and a compensation circuit compensat-

2

ing for a change in the internal power supply voltage in response to the comparison result.

An advantage of the present invention lies in that change in the internal power supply voltage can be compensated for in response to only the differential component of the internal power supply voltage. Therefore, the level of the internal power supply voltage can be recovered speedily and properly to a desired level.

According to another aspect of the present invention, a semiconductor integrated circuit device includes a voltage-down converter generating an internal power supply voltage which is a down-converted version of a power supply potential, and a voltage compensation circuit compensating for a change in the internal power supply voltage in response to the result of comparison between a differential component of the internal power supply voltage and a reference voltage.

Another advantage of the present invention lies in that a voltage compensation circuit is provided that compensates for change in the internal power supply voltage in response to only the differential component of the internal power supply voltage with respect to an internal voltage-down converter generating an internal power supply voltage which is a down-converted version of a power supply voltage, so that the level of the internal power supply voltage can be recovered speedily and properly to a desired level. Accordingly, internal circuitry can operate properly and speedily, impervious to change in the internal power supply voltage.

Particularly, the voltage compensation circuit can alter the input of a comparator in response to only the differential component of an internal power supply voltage. As a result, an internal power supply voltage can be charged/discharged speedily and properly.

Particularly, the voltage compensation circuit includes a capacitor to charge the internal power supply voltage in response to only the differential component of the internal power supply voltage. As a result, the internal power supply voltage can be increased speedily and properly.

Particularly, a transistor or a diode can be used as a charging circuit.

Particularly, the voltage compensation circuit includes a capacitor to discharge the internal power supply voltage in response to only the differential component of the internal power supply voltage. Thus, the internal power supply voltage can be reduced speedily and properly.

Particularly, a transistor or a diode can be used as a discharging circuit.

The foregoing and other objects, features, aspects and advantages of the present invention will become more apparent from the following detailed description of the present invention when taken in conjunction with the accompanying drawings.

## BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 shows an example of a structure of a voltage compensation circuit according to a first embodiment of the present invention.

FIG. 2 shows main components of a semiconductor integrated circuit device 1000 including a voltage compensation circuit 100 of FIG. 1.

FIG. 3 shows another structure of a voltage compensation circuit according to the first embodiment of the present invention.

FIG. 4 shows main components of a semiconductor integrated circuit device 2000 including a voltage compensation circuit 200 of FIG. 3.

3

FIG. 5 shows a structure of a conventional internal voltage-down converter 900 according to a semiconductor integrated circuit device.

## DESCRIPTION OF THE PREFERRED EMBODIMENTS

### FIRST EMBODIMENT

A voltage compensation circuit and a semiconductor integrated circuit device according to a first embodiment of the present invention will be described hereinafter. The first embodiment of the present invention relates to a voltage compensation circuit that can compensate for an abrupt change in the internal power supply voltage, and a semiconductor integrated circuit device including such a circuit.

A voltage compensation circuit forming the semiconductor integrated circuit device of the first embodiment will be described with reference to FIG. 1. A voltage compensation circuit 100 of FIG. 1 compensates for an abrupt voltage drop of an internal power supply voltage  $V_{out}$  at an output node Z0.

Voltage compensation circuit 100 includes a constant current source 1, PMOS transistors 3, 4 and 9, a comparator 7 and a capacitor 8.

PMOS transistor 3 is connected between a power supply voltage  $V_{dd}$  and a node Z1 (negative input of comparator 7). PMOS transistor 3 has its gate electrode connected to node Z1. Constant current source 1 is connected between node Z1 and ground potential  $Gnd$ . Constant current source 1 and PMOS transistor 3 generates a constant voltage with respect to power supply voltage  $V_{dd}$ .

PMOS transistor 4 is connected between power supply voltage  $V_{dd}$  and a node Z2 (positive input of comparator 7). The gate electrode of PMOS transistor 4 is connected to node Z2. Capacitor 8 is connected between node Z2 and output node Z0. Capacitor 8 and PMOS transistor 4 form a voltage division circuit. PMOS transistor 4 is turned on/off in response to the potential at node Z2.

PMOS transistor 9 is connected between power supply voltage  $V_{dd}$  and output node Z0. PMOS transistor 9 receives the output of comparator 7 at its gate electrode. Comparator 7 compares the voltage of node Z1 with the voltage of node Z2. PMOS transistor 9 is turned on/off in response to the comparison result of comparator 7.

The semiconductor integrated circuit device including the structure shown in FIG. 1 will be described with reference to FIG. 2.

A semiconductor integrated circuit device 1000 of FIG. 2 includes an internal voltage-down converter 900, a voltage compensation circuit 100, and an internal circuit 500. Voltage compensation circuit 100 and internal voltage-down converter 900 are connected at node Z0. Internal voltage-down converter 900 supplies an internal power supply voltage  $V_{out}$  to node Z0. Voltage compensation circuit 100 operates to compensate for an abrupt change (drop) of internal power supply voltage  $V_{out}$ . Internal circuit 500 receives the voltage of node Z0 to operate.

The operation of voltage compensation circuit 100 of FIG. 1 will be described hereinafter. In a steady state, the potential at the positive input (node Z2) of comparator 7 is set to be higher than the potential of the negative input (node Z1) of comparator 7.

Now, the level of internal power supply voltage  $V_{out}$  exhibits a sudden drop. In this case, the potential of node Z2, i.e., the potential at the positive input of comparator 7, is

4

reduced by the coupling of capacitor 8. As a result, comparator 7 provides an output of an L (logical low) level.

PMOS transistor 9 receives the signal of an L level from comparator 7 to be turned on. Accordingly, output node Z0 is charged.

The potential of the positive input of comparator 7 gradually rises since charging is effected via PMOS transistor 4. Therefore, the potential at the positive input of comparator 7 is recovered so that the output of comparator 7 attains an H level (logical high). At this stage, the charging of output node Z0 ends.

Thus, voltage compensation circuit 100 charges node Z0 in response to only the differential component of internal power supply voltage  $V_{out}$  when internal power supply voltage  $V_{out}$  suddenly drops. Thus, the level of internal power supply  $V_{out}$  can be recovered speedily and properly to the aimed voltage level.

Thus, internal circuit 500 in semiconductor integrated circuit device 1000 is immune to the effect caused by change in internal power supply voltage  $V_{out}$  to allow correct and speedy operation. The PMOS transistor of FIG. 1 can be replaced with an NMOS transistor. Alternatively, a diode can be used.

Another structure of a voltage compensation circuit according to the first embodiment of the present invention will be described with reference to FIG. 3. A voltage compensation circuit 200 of FIG. 3 compensates for a sudden increase in the level of internal power supply voltage  $V_{out}$  at output node Z0.

Voltage compensation circuit 200 includes a constant current source 2, NMOS transistors 5, 6 and 10, a comparator 7 and a capacitor 8.

Constant current source 2 is connected between power supply voltage  $V_{dd}$  and a node Z11 (negative input of comparator 7). NMOS transistor 5 is connected between node Z11 and ground potential  $Gnd$ . The gate electrode of NMOS transistor 5 is connected to node Z11. Constant current source 2 and NMOS transistor 5 generate a constant voltage with respect to power supply voltage  $V_{dd}$ .

NMOS transistor 6 is connected between ground potential  $Gnd$  and a node Z12 (positive input of comparator 7). NMOS transistor 6 has its gate electrode connected to node Z12. Capacitor 8 is connected between node Z12 and output node Z0. Capacitor 8 and NMOS transistor 6 form a voltage division circuit. NMOS transistor 6 is turned on/off in response to the potential of node Z12.

NMOS transistor 10 is connected between ground potential  $Gnd$  and output node Z0. The gate electrode of NMOS transistor 10 receives the output of comparator 7. Comparator 7 compares the voltage of node Z11 with the voltage of node Z12. NMOS transistor 10 is turned on/off in response to the comparison result of comparator 7.

A semiconductor integrated circuit device including the structure of FIG. 3 will be described with reference to FIG. 4.

A semiconductor integrated circuit device 2000 of FIG. 4 includes an internal voltage-down circuit 900, a voltage compensation circuit 200, and an internal circuit 500. Voltage compensation circuit 200 and internal voltage-down circuit 900 are connected by node Z0. Internal voltage-down converter 900 supplies an internal power supply voltage  $V_{out}$ . Voltage compensation circuit 200 operates to compensate for a sudden change (rise) of internal power supply voltage  $V_{out}$ . Internal circuit 500 operates in response to the voltage of node Z0.

5

The operation of voltage compensation circuit 200 of FIG. 3 will be described now. At a steady state, the potential of the negative input (node Z11) of comparator 7 is set to be higher than the potential of the positive input (node Z12) of comparator 7.

Now, internal power supply voltage  $V_{out}$  exhibits a sudden increase. In this case, the potential of node Z12, i.e., the potential of the positive input of comparator 7, increases by the coupling of capacitor 8. As a result, comparator 7 provides an output of an H level.

NMOS transistor 10 receives the signal of an H level from comparator 7 to be turned on. As a result, output node Z0 is discharged.

The potential of the positive input of comparator 7 is gradually reduced due to the discharge via NMOS transistor 6. Accordingly, the potential of the positive input of comparator 7 is recovered so that the output of comparator 7 attains an L level. Here, the discharge at output Z0 ends.

Thus, voltage compensation circuit 200 discharges node Z0 in response to only the differential component of internal power supply voltage  $V_{out}$  when internal power supply voltage  $V_{out}$  suddenly increases. Thus, internal power supply voltage  $V_{out}$  can be recovered speedily and properly to the aimed voltage level.

As a result, internal circuit 500 in semiconductor integrated circuit device 2000 is impervious to variation in internal power supply voltage  $V_{out}$ . A proper and speedy operation is allowed. The NMOS transistor of FIG. 3 is replaceable with a PMOS transistor. Alternatively, a diode can be used.

In both the voltage compensation circuit 100 of FIG. 1 and voltage compensation circuit 200 of FIG. 3, constant current sources 1 and 2 are connected only at the negative input side of comparator 7. However, in the voltage compensation circuits of FIGS. 1 and 3, a constant current source can be connected to both the positive input end and negative input end of comparator 7. For example, in the structure of FIG. 1, an additional constant current source can be provided between node Z2 and ground potential Gnd. In the structure shown in FIG. 3, an additional constant current source can be provided between node Z12 and power supply voltage Vdd.

In this case, the employed constant current source does not have to be strictly a constant current supply source. Any source that does not generate difference between the constant current sources connected to the positive/negative input ends can be employed.

In the above embodiment, power consumption can be reduced by disabling the constant current source when the voltage compensation circuit is inactive.

Although the present invention has been described and illustrated in detail, it is clearly understood that the same is by way of illustration and example only and is not to be taken by way of limitation, the spirit and scope of the present invention being limited only by the terms of the appended claims.

What is claimed is:

1. A voltage compensation circuit compensating for a change in an internal power supply voltage comprises:

detection means for detecting only a differential component of said internal power supply voltage;  
comparator means for comparing the differential component of said internal power supply voltage with a reference voltage; and

compensation means for compensating for a change in said internal power supply voltage in response to only said comparison result.

6

2. The voltage compensation circuit according to claim 1, wherein said comparator means comprises a comparator including a first input node and a second input node to compare a voltage of said first input node with a voltage of said second input node,

said second input node receiving said reference voltage, wherein said compensation means comprises a power supply node receiving said internal power supply voltage, and

first charging/discharging means for charging/discharging said power supply node in response to an output of said comparator,

wherein said detection means comprises

a capacitor connected between said power supply node and said first input node, and

second charging/discharging means for charging/discharging said first input node in response to a voltage of said first input node.

3. A semiconductor integrated circuit device comprising: voltage-down converter means for generating an internal power supply voltage which is a down-converted version of a power supply voltage; and

voltage compensation means for detecting only a differential component of said internal power supply voltage for compensating for a change in said internal power supply voltage in response to only a comparison between the differential component of said internal power supply voltage and a reference voltage.

4. The semiconductor integrated circuit device according to claim 3, wherein said voltage compensation means comprises

detection means for detecting only the differential component of said internal power supply voltage,

comparator means for comparing the differential component of said internal power supply voltage with the reference voltage, and

compensation means for compensating for a change in said internal power supply voltage in response to only said comparison result.

5. The semiconductor integrated circuit device according to claim 4, wherein said comparator means comprises a comparator including a first input node and a second input node to compare a voltage of said first input node with a voltage of said second input node,

said second input node receiving said reference voltage, wherein said compensation means comprises

a power supply node receiving said internal power supply voltage, and

first charging/discharging means for charging/discharging said power supply node in response to an output of said comparator,

wherein said detection means comprises

a capacitor connected between said power supply node and said first input node, and

second charging/discharging means for charging/discharging said first input node in response to a voltage of said first input node.

6. The semiconductor integrated circuit device according to claim 3, wherein said voltage compensation means comprises

a comparator including a positive input node and a negative input node to compare a voltage of said positive input node with a voltage of said negative input node, and

7

a power supply node receiving said internal power supply voltage,

first charging means for charging said power supply node in response to an output of said comparator,

a capacitor connected between said power supply node and said positive input node, and

second charging means for charging said positive input node in response to a voltage of said positive input node,

said negative input node receiving said reference voltage.

7. The semiconductor integrated circuit device according to claim 6, wherein said second charging means comprises a transistor arranged between a power supply voltage and said positive input node, and having a gate electrode connected to said positive input node.

8. The semiconductor integrated circuit device according to claim 6, wherein said second charging means comprises a diode arranged between a power supply voltage and said positive input node.

9. The semiconductor integrated circuit device according to claim 3, wherein said voltage compensation means comprises

a comparator including a positive input node and a negative input node to compare a voltage of said positive input node and a voltage of said negative input node,

a power supply node receiving said internal power supply voltage,

first discharge means for discharging said power supply node in response to an output of said comparator,

8

a capacitor connected between said power supply node and said positive input node, and

second discharging means for discharging said positive input node in response to a voltage of said positive input node,

said negative input node receiving said reference voltage.

10. The semiconductor integrated circuit device according to claim 9, wherein said second discharging means comprises a transistor arranged between a ground potential and said positive input node, and having a gate electrode connected to said positive input node.

11. The semiconductor integrated circuit device according to claim 9, wherein said second discharging means comprises a diode arranged between a ground potential and said positive input node.

12. A voltage compensation circuit compensating for a change in an internal power supply voltage comprising:

detection means for detecting a differential component of said internal power supply voltage;

comparator means for comparing said detected differential component of said internal power supply voltage with a reference voltage; and

compensation means for compensating for a change in said internal power supply voltage in response to said comparison result,

said compensation means being stopped in operation when said differential component is not detected.

\* \* \* \* \*